

Uma Nova Arquitetura Modular para Circuitos Geradores de Função de Pertinência com uso em Projeto de Microprocessador Difuso

Leonardo Mesquita, Galdenoro Botura Jr., Osamu Saotome*

Universidade Estadual Paulista - UNESP

Campus de Guaratinguetá
Departamento de Engenharia Elétrica
Av. Dr. Ariberto P. Cunha, 333,
Guaratinguetá – SP, CEP 12500-000
Tel.: (012) 525-2800 ramal 166

Instituto Tecnológico de Aeronáutica – ITA

Divisão de Engenharia Eletrônica – IEE
Pça Mal. Eduardo Gomes, 50, V. das Acácias
São José dos Campos - SP, CEP 12228-900
Tel.: (012) 340-5995

email: mesquita@feg.unesp.br, botura@feg.unesp.br e osaotome@iconet.com.br

Abstract

In this paper a new topology to membership function circuits is proposed. This architecture is all modulated, thus, it is possible to generate membership functions in triangular or trapezoidal shape. It was developed in order to be used as part of fuzzy microprocessors. An integrated circuit in bipolar technology was developed for architecture verification; so, it can also be implemented in technology CMOS. A description of each block that composes the circuit is done in this paper, as well as a discussion regarding those circuits. The results obtained from these simulations are also discussed. Six modules of the circuit were implemented in the accomplished simulation, what facilitated to generate five membership functions, either triangular or trapezoidal shapes. The results show that the new architecture is fully viable of being accomplished used as part of a fuzzy microprocessor.

1. Introdução

Nas primeiras aplicações da teoria de lógica difusa para sistemas de controle, estes sistemas eram implementados através de programas de computadores, ou seja, por meio de softwares. Este tipo de implementação, mesmo hoje, exige um algoritmo complexo, o que implica em uma baixa velocidade de operação do sistema que depende do tempo de processamento do computador que o está monitorando.

Com a recente explosão de produtos de consumo que utilizam tecnologia baseada na lógica difusa, engenheiros e cientistas começaram a propor novas implementações destas unidades para serem implementadas em hardware, e, desde modo, surgiu a necessidade do desenvolvimento de uma nova geração de circuitos integrados VLSI [1]-[6]. Esta nova geração de circuitos integrados foi denominada de microprocessadores e microcontroladores lógicos difusos.

As implementações destes circuitos, em hardware, se dividem em: analógica, digital e híbrida. As arquiteturas digitais desenvolvidas possuem como vantagens:

- Baixo custo do processo de fabricação;
- Rápido desenvolvimento do protótipo;
- Facilidade na automatização do projeto;
- Arquitetura flexível.

E, como principais desvantagens:

- Operações difusas comuns produzem circuitos VLSI complicados e grandes;
- Em função da interface com o mundo real de um sistema difuso ser sempre analógica, torna-se necessário a utilização de conversores A/D e D/A, o que implica na adição de erros no sinal gerado;
- A velocidade de processamento é limitada.

As arquiteturas analógicas apresentam como vantagens:

- Facilidade de implementação de funções não lineares;
- Alto grau de integração dos circuitos que formam o sistema difuso;
- Altas velocidades de operação do sistema.

A principal desvantagem deste tipo de metodologia de projeto (analógica) está relacionada com a precisão do sinal gerado por esta implementação. Esta desvantagem não consiste em uma severa limitação, pois, até onde se saiba, não se encontra na literatura nada a respeito e, muitas das aplicações de controle utilizando lógica difusa estão implementados em hardware utilizando tal tecnologia.

As arquiteturas híbridas unem as vantagens das arquiteturas digital e analógica propostas para os microcontroladores difusos.

Neste trabalho é proposta uma arquitetura modular de um circuito gerador de função de pertinência que poderá ser utilizado em um microprocessador lógico difuso analógico, que poderá ser implementado tanto na tecnologia Bipolar quanto na tecnologia CMOS. Os blocos constituintes deste sistema operam em modo corrente [6]-[9]. A implementação analógica deste circuito foi escolhida pelas vantagens anteriormente citadas. Também, em grande parte das situações onde um microcontrolador lógico difuso é utilizado, os sinais de entrada são provenientes de sensores que produzem sinais analógicos como saídas. Por esta razão, o microcontrolador sendo analógico evita-se a necessidade do uso de conversores A/D em suas entradas e os consequentes erros relacionados com os mesmos [10].

A técnica de modo corrente é uma das mais utilizadas no desenvolvimento de dispositivos difusos, pois o seu uso facilita a implementação das funções básicas difusas, tais como: união da lógica difusa, diferença limitante, complemento difuso, diferença absoluta, etc. Outros atrativos de se utilizar esta técnica são a viabilidade de se realizar operações de soma e subtração de um modo direto, a possibilidade do circuito operar com baixa tensão de alimentação, e a dessensibilização em relação as variações na tensão de alimentação.

A estrutura do trabalho esta dividida do seguinte modo: a seção 2 discute a arquitetura proposta para o gerador de função de pertinência; na seção 3 são apresentados os blocos que serão utilizados para compor o gerador desenvolvido, todos os blocos serão implementados na tecnologia Bipolar; na seção 4 os resultados obtidos de simulação são analisados e finalmente, na seção 5, é apresentada a conclusão do trabalho.

2 Arquitetura Proposta para o Gerador de Função de Pertinência

Um microprocessador lógico difuso é composto por três blocos principais: o circuito de fuzificação, o circuito de inferência e o circuito de defuzificação. O diagrama em blocos de um microprocessador difuso é apresentado na Figura 1.

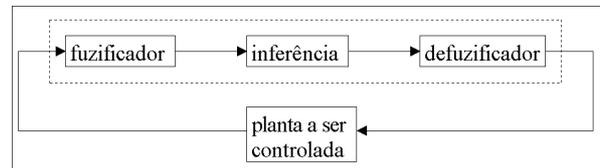


Figura 1: Diagrama em blocos de um microprocessador lógico difuso.

A arquitetura proposta, para o circuito gerador de função de pertinência, é composta de 3 partes: um bloco que corresponde ao circuito de *distribuição de correntes*, os blocos dos circuitos das *células básicas* e o bloco dos *circuitos somadores*. O diagrama em bloco da arquitetura proposta é apresentada na Figura 2.

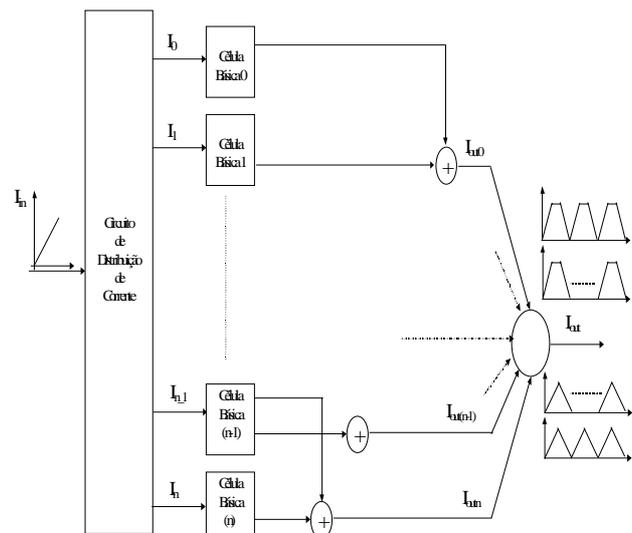


Figura 2 - Diagrama em blocos da arquitetura do gerador de função de pertinência.

Esta proposta permite que se consiga o desenvolvimento de uma arquitetura complemente modular uma vez que os sinais que irão gerar as funções de pertinência podem ser obtidos a partir de várias células básicas, cada uma destas células contribuindo para a geração de uma função. Um outro ponto, que permite a modularidade da proposta, está relacionado com o bloco de distribuição das correntes. Neste bloco, o sinal de entrada é partilhado em vários outros, de valores distintos, de modo que possam ser distribuídos para os blocos das células básicas. Deste modo, o *bloco de distribuição de correntes* tem por finalidade converter um único sinal de entrada de corrente, em n sinais, colocando-os na entrada

dos módulos. Este bloco é essencial para o correto funcionamento do gerador de função de pertinência, pois qualquer erro na distribuição de correntes realizada pelo mesmo terá como consequência o acionamento da célula básica errada, e consequentemente o sinal gerado pelo circuito gerador de função de pertinência estará incorreto influenciando o controle que será executado. Neste bloco é onde se define o tipo de função de pertinência a ser gerado: triangular ou trapezoidal.

O bloco somador tem por função receber os sinais gerados pelas células básicas adjacentes, ou seja, segmentos de reta com inclinações contrárias, e unir os mesmos, de forma ordenada de modo a conseguir realizar as funções de pertinências do tipo triangular ou trapezoidal.

3 - Implementação dos Blocos do Gerador

Para a implementação do circuito dos blocos que compõe a arquitetura proposta foi escolhida a tecnologia bipolar, tendo, como abordagem de projeto, a técnica conhecida como modo corrente. Esta estratégia facilita o projeto dos circuitos em função da tecnologia bipolar possuir modelo amplamente conhecidos e confiáveis para a realização de projetos analógicos. Outro fator importante nesta escolha é que o desenvolvimento de um circuito em modo corrente possibilita que o mesmo alcance altas velocidades, além de facilitar a implementação da arquitetura aqui proposta.

3.1 Circuito de Distribuição de Correntes

O bloco responsável pela distribuição das correntes é composto de um circuito com espelhos de corrente, formados com transistores do tipo PNP, com razão de espelhamento de 1:1, além de fontes de correntes ideais. Este bloco é apresentado na Figura 3:

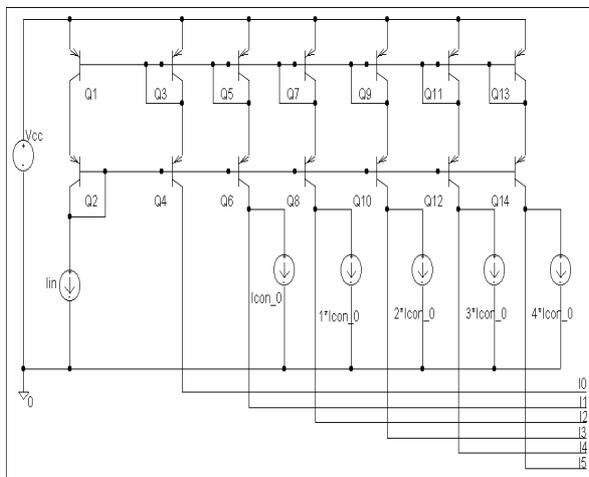


Figura 3: Esquemático do circuito de distribuição de correntes.

Neste circuito, a fonte I_{con_0} possui um valor fixo, e as outras fontes de controle possuem valores múltiplos inteiros deste fonte. Deste modo a corrente de entrada I_{in} pode ser deslocada da origem proporcionalmente ao valor das fontes de corrente de controle. As correntes de saída deste circuito são dadas por:

$$I_K = I_{in} - kI_{con_0}, \quad (1)$$

onde: $k = 0, 1, 2, 3, \dots$

Um estudo sobre o circuito de distribuição das correntes foi realizado utilizando-se o software SPICE, onde os valores das correntes foram: $0 < I_{in} < 60(\mu A)$ e $I_{con_0} = 10(\mu A)$. Os resultados obtidos são apresentados na Figura 4.

Da Figura 4 pode-se observar que os sinais de saída do circuito de distribuição de corrente são entregues aos módulos em intervalos distintos, ou seja, somente um módulo estará ativo para cada intervalo de corrente de entrada.

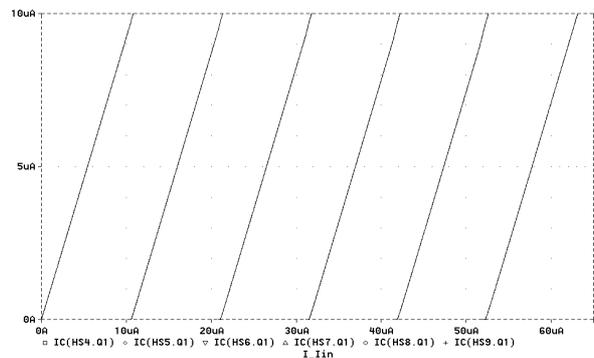


Figura 4: Distribuição de correntes pelo bloco.

3.2 - Circuito da Célula Básica

Os circuitos das células básicas tem como função produzir segmentos de reta, com inclinações contrárias, que são utilizados para gerar funções de pertinência, do tipo triangular ou trapezoidal. O esquemático do circuito proposto é apresentado na Figura 5

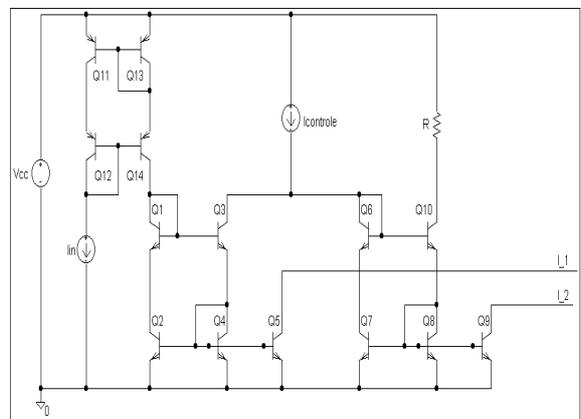


Figura 5: Circuito desenvolvido para a célula básica.

Neste circuito a corrente I_{in} é recebida do bloco de distribuição de correntes. Esta corrente é espelhada duas vezes, uma pelo espelho constituído pelos transistores PNP, Q_{11} , Q_{12} , Q_{13} e Q_{14} ; e outra pelos transistores NPN, Q_1 , Q_2 , Q_3 e Q_4 . Esta arquitetura de espelho foi escolhida em função de diminuir, tanto os erros introduzidos pelo efeito early, como os referentes as correntes de base, devido as não idealidade existentes nos transistores.

A corrente existente no coletor de Q_3 , então, se relaciona com a corrente I_{ref} , de modo que a diferença das mesmas gera a corrente que será obtida no coletor de Q_9 . Esta corrente, juntamente com a obtida no coletor de Q_5 , serão as utilizadas para gerarem a função de pertinência desejada. As correntes nos coletores de Q_5 e Q_9 são apresentadas na Figura 6.

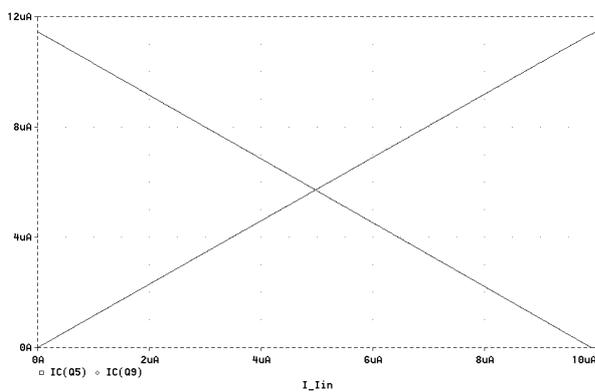


Figura 6: Correntes nos coletores de Q5 e Q9

Na Figura 6 observa-se que os sinais gerados estão de acordo com os valores esperados anteriormente, sendo estes dados por:

$$I_1 = I_K = I_{in} - kI_{con_0} \quad (2)$$

$$I_2 = I_{REF} \Theta I_K \quad (3)$$

$$\text{onde: } I_{REF} \Theta I_K = \begin{cases} I_{REF} - I_K, & I_{REF} > I_K \\ 0, & I_K \geq I_{REF} \end{cases}$$

$$k = 0,1,2,3,\dots$$

4. Resultados Obtidos para a Arquitetura Proposta

Os resultados para a arquitetura aqui proposta foram conseguidos através de simulações utilizando o programa SPICE. Os modelos dos transistores utilizados foram obtidos através da EUROPRACTICE. Deste modo usou-se os modelos do array bipolar H3A .

Foram constituídos seis células básicas. Isso viabilizou a obtenção de cinco funções de pertinência na saída do gerador. O circuito pode ser programado, através da fonte de corrente I_{con_0} , para gerar funções de pertinência do tipo triangular ou trapezoidal. A

corrente de entrada do circuito pode variar de 0 (μA) a 100 (μA), ficando a determinação da faixa de corrente a cargo do engenheiro encarregado de projeto do sistema de controle. Esta programação mostra a versatilidade conseguida com a arquitetura proposta. As curvas referentes as funções obtidas estão apresentadas nas figuras 7 e 8.

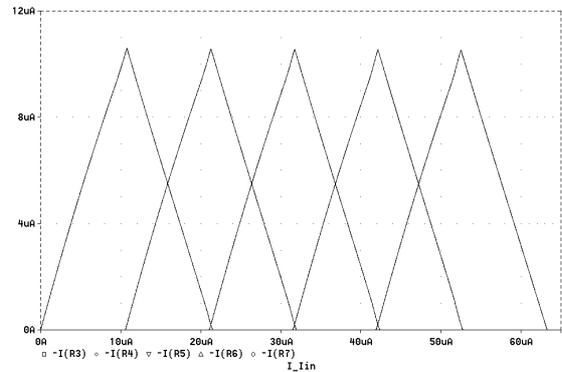


Figura 7 – Função de Pertinência triangular obtida

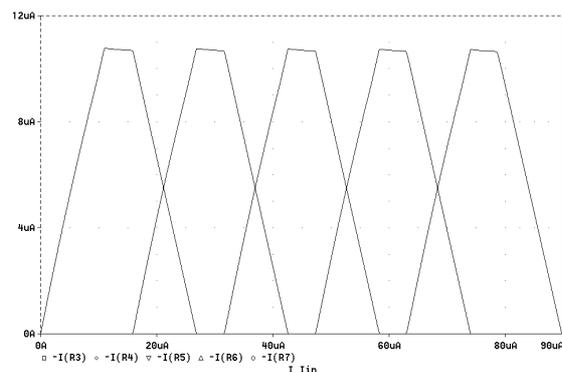


Figura 8 – Função de Pertinência trapezoidal obtida

A figura 9 mostra a conversão realizada de um sinal analógico colocado na entrada do circuito, que corresponderia ao sinal recebido de um sensor, por exemplo, no mundo real, para valores difusos.

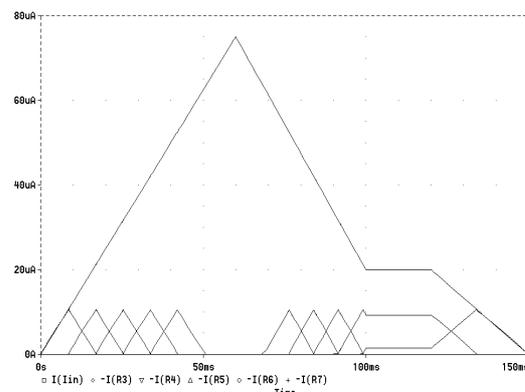


Figura 9 – Conversão de um sinal analógico em valores difusos

Desta figura pode-se notar que as diversas funções de pertinência foram acionadas o que mostra que tanto

a arquitetura proposta, como o circuito projetado estão operando de acordo com as expectativas.

5. Conclusão

Este trabalho apresentou uma nova arquitetura que possibilita a implementação de circuitos de geração de função de pertinência, baseados no número de funções desejadas para cada variável de entrada do sistema. O sistema proposto é completamente modular, ou seja, quando se deseja gerar um número elevado de funções de pertinência, para uma dada variável de entrada de um processo sob controle, é necessário somente se cascatear vários módulos dos circuitos de geração de pertinência. A arquitetura do gerador proposto pode ser implementado na tecnologia bipolar e CMOS. Para a validação da arquitetura, circuitos projetados em tecnologia bipolar, operando em modo corrente, foram desenvolvidos e os resultados, obtidos em simulação, mostraram a viabilidade da implementação da mesma. Com esta arquitetura pode-se gerar funções do tipo triangular e trapezoidal, que são as mais utilizadas quando se implementa, por hardware, um sistema de controle baseado nesta lógica. Nesta proposta é importante enfatizar o fato de que, com um único sinal de corrente, I_{con_0} , pode-se definir o tipo da função a ser gerada, triangular ou trapezoidal. Com isto, a arquitetura proposta do circuito de geração de função de pertinência passa a ser mais uma opção para projetistas, de hardware, de microprocessadores lógicos difusos.

6. Referências

- [1] Fattarruso, J. W., et al, A Fuzzy Logic Inference Processor, IEEE JSSC, VOL. 29, NO 4, April, 1994.
- [2] Sasaki, M., et al, Fuzzy Multiple Input Maximum and Minimum Circuits in Current Mode and their Analyses Using Bounded Difference Equations, IEEE Trans. on Computers, VOL. 39, NO 6, June, 1990.
- [3] Bouras, S., et al, Mixed Analog Digital Fuzzy Logic Controller with Continuous Amplitude Fuzzy Inferences and Defuzzification, IEEE Trans. on Fuzzy Systems, VOL. 6, NO 2, May, 1998.
- [4] Guo, Shuwei, et al, Design and Application of an Analog Fuzzy Logic Controller, IEEE Trans. on Fuzzy Systems, VOL. 4, NO 4, November, 1996.
- [5] Yamakawa, T and Miki, T., The Current mode Fuzzy logic Integrated Circuits Fabricated by the standard CMOS Process, IEEE Trans. on Computers, VOL. C-35, NO 2, February, 1986.
- [6] Baturone, I., et al, Implementation of CMOS Fuzzy Controllers as Mixed Signal Integrated Circuits, IEEE Trans. on Fuzzy Systems, VOL. 5, NO 1, February, 1997.
- [7] Huertas, J. L. et al, Integrated Circuit Implementation of Fuzzy Controllers, IEEE JSSC, VOL. 31, NO 7, July, 1996.
- [8] Lemaitre, L., et al, Analysis and design of CMOS Fuzzy Logic Controller in current Mode, IEEE JSSC, VOL. 29, NO 3, March, 1994.
- [9] Sasaki, M., et al, Current Mode Analog Fuzzy Hardware with Voltage Input Interface and Normalization Locked Loop, IEICE Trans. Fundamentals, VOL. E75-A, NO 6, June 1992.
- [10] Campo, I. and Trela, J. M., Consequences of Digitization on the Performance of a Fuzzy Logic Controller, IEEE Trans. On Fuzzy Systems, VOL. 7, N° 1, February 1999.